

DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

015614610 **Image available**

WPI Acc No: 2003-676767/200364

XRPX Acc No: N03-540727

Load driving circuit e.g. for lamp in motor vehicle, performs pulse width modulation drive of loads by using PWM control signals whose time periods does not mutually overlap

Patent Assignee: HARNESS SOGO GIJUTSU KENKYUSHO KK (HARN-N); SUMITOMO DENSO KK (SUME); SUMITOMO ELECTRIC IND LTD (SUME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003259634	A	20030912	JP 200255407	A	20020301	200364 B

Priority Applications (No Type Date): JP 200255407 A 20020301

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2003259634	A	6		H02M-003/155	

Abstract (Basic): JP 2003259634 A

NOVELTY - A microcomputer (3) outputs pulse width modulation (PWM) control signal (ps0) from output port (T1). The PWM drive of load (LP1) is performed using PWM control signal (ps1) which is in phase with signal (ps0) and the PWM drive of another load (LP2) is performed using PWM control signal (ps2) which is delayed from signal (ps0) by preset value, so that the time periods of control signals (ps1,ps2) does not overlap mutually.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for load drive method.

USE - For pulse width modulation drive of loads such as lamp mounted in motor vehicle.

ADVANTAGE - The PWM control of several loads is performed by using microcomputer with minimum number of ports. Prevents voltage drop and noise emission.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of the load driving circuit.

microcomputer (3)

loads (LP1,LP2)

PWM control signals (ps0-ps2)

output port (T1)

pp; 6 DwgNo 1/3

Title Terms: LOAD; DRIVE; CIRCUIT; LAMP; MOTOR; VEHICLE; PERFORMANCE; PULSE ; WIDTH; MODULATE; DRIVE; LOAD; PWM; CONTROL; SIGNAL; TIME; PERIOD; MUTUAL; OVERLAP

Derwent Class: U24; X12

International Patent Class (Main): H02M-003/155

File Segment: EPI

Manual Codes (EPI/S-X): U24-D02A; X12-J02A

?

(51)Int.Cl.⁷
H 0 2 M 3/155

識別記号

F I
H 0 2 M 3/155テマコード(参考)
W 5 H 7 3 0
P

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願2002-55407(P2002-55407)
 (22)出願日 平成14年3月1日(2002.3.1)

(71)出願人 395011665
 株式会社オートネットワーク技術研究所
 愛知県名古屋市南区菊住1丁目7番10号
 (71)出願人 000183406
 住友電装株式会社
 三重県四日市市西末広町1番14号
 (71)出願人 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74)代理人 100089233
 弁理士 吉田 茂明 (外2名)

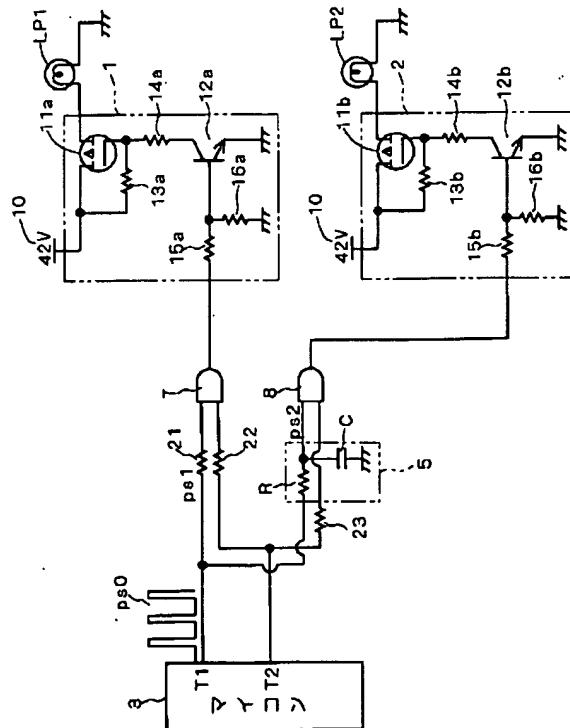
最終頁に続く

(54)【発明の名称】 負荷駆動回路及び負荷駆動方法

(57)【要約】

【課題】 最小限のポート数のマイコンで、ノイズエミッションや回路上の電圧降下を抑制しながら、複数の負荷をPWM制御する。

【解決手段】 マイコン3の单一のPWM制御信号出力ポートT1からPWM制御信号p s 0を出し、このPWM制御信号と同位相の第1のPWM制御信号p s 1で一の負荷LP1をPWM駆動するとともに、PWM制御信号p s 0を遅延させた第2のPWM制御信号p s 2で他の負荷LP2をPWM駆動する。第1のPWM制御信号p s 1と第2のPWM制御信号p s 2とで、それぞれのオン期間が互いに重複しないようにし、複数の負荷LP1、LP2が同時に動作して大電流が一気に流れ込むのを防ぐ。



【特許請求の範囲】

【請求項 1】 複数の負荷を PWM 駆動する負荷駆動回路であつて、

前記各負荷をそれぞれ高速にオンオフ切替えて PWM 駆動する複数の駆動スイッチ回路と、

前記駆動スイッチ回路による PWM 駆動のオンオフタイミングを規定する PWM 制御信号を单一の PWM 制御信号出力ポートから出力する单一の制御部と、

少なくとも、複数の前記駆動スイッチ回路うちのひとつを除く駆動スイッチ回路と前記制御部との間に介在されて、前記 PWM 制御信号を遅延させる遅延回路とを備え、

前記遅延回路が、前記各駆動スイッチ回路に与えられるそれぞれの PWM 制御信号のオン期間が互いに重複しないように前記 PWM 制御信号を遅延させることを特徴とする負荷駆動回路。

【請求項 2】 請求項 1 に記載の負荷駆動回路であつて、

前記遅延回路が、当該遅延回路で遅延された後の PWM 制御信号の立ち上がりタイミング及び立ち下がりタイミングと、当該遅延回路で遅延されない PWM 制御信号の立ち上がりタイミング及び立ち下がりタイミングとの間に、当該遅延回路の温度変化に伴う遅延のバラツキを考慮して設定された所定のマージン期間がそれぞれ設定されたことを特徴とする負荷駆動回路。

【請求項 3】 複数の負荷を PWM 駆動する負荷駆動方法であつて、

所定の制御部の单一の PWM 制御信号出力ポートから PWM 制御信号を出力する第 1 の工程と、

前記制御部からの前記 PWM 制御信号を遅延させる第 2 の工程と、

前記第 2 の工程で遅延させる前の前記 PWM 制御信号に基づいて一の負荷を PWM 駆動する第 3 の工程と、

前記第 3 の工程に併行して、前記第 2 の工程で遅延させた後の前記 PWM 制御信号に基づいて他の負荷を PWM 駆動する第 4 の工程とを備え、

前記第 2 の工程において、遅延させる前の前記 PWM 制御信号と遅延させた後の前記 PWM 制御信号のそれぞれのオン期間が互いに重複しないように前記 PWM 制御信号を遅延させることを特徴とする負荷駆動方法。

【請求項 4】 請求項 3 に記載の負荷駆動方法であつて、

前記第 2 の工程において、遅延された後の前記 PWM 制御信号の立ち上がりタイミング及び立ち下がりタイミングと、遅延される前の前記 PWM 制御信号の立ち上がりタイミング及び立ち下がりタイミングとの間に、所定のマージン期間がそれぞれ設定されたことを特徴とする負荷駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の負荷を PWM 駆動する負荷駆動回路及びそれに関する技術に関する。

【0002】

【従来の技術】自動車に搭載されたランプは、定格 12 V の DC 電圧が印加されて点灯する仕組みになっている。

【0003】ところで、近年、自動車の燃費改善の目的で、電源電圧を従来の 3 倍の 36 V とし、エンジンオン 時に 42 V に引き上げようという動きがある。

【0004】しかしながら、一般的なランプの耐電圧は 16 V なので、このランプを 42 V 電圧に接続して駆動しようとすると、ランプに電源電圧が印加された瞬間に断線するおそれがある。

【0005】そこで、PWM (Pulse Width Modulation) 制御によるランプ駆動が検討されている。この PWM 制御は、一種のチョッパー制御であり、駆動電流のオンオフを高速で繰り返すことによって、負荷（ランプ）に加えるエネルギー量を抑制する方式である。このような PWM 制御によりランプを駆動する場合、数十 Hz 以上であれば、36 V ~ 42 V 程度の電源電圧を印加しても断線しないことが確かめられている。即ち、PWM 制御のための回路を組む条件としては、数十 Hz 以上でオンオフし得るスイッチが必要となることから、このスイッチとしては、電界効果型トランジスタ (FET) などが適している。

【0006】また、この電界効果型トランジスタがオンした瞬間は、短時間とは言え、DC 電圧印加時より大きな電流が生じる場合があり、抵抗負荷として例えれば約 3 倍になってしまうことがあるため、その電流に耐えるように、ランプの電球や FET を選定する必要がある。

【0007】

【発明が解決しようとする課題】上述のように、自動車に搭載されるランプを PWM 制御により駆動する場合、FET のチョッパー制御によって若干量のノイズが発生する。

【0008】ここで、自動車の場合、例えば左右のヘッドライトのように、1 つのスイッチ操作で複数負荷が同時に点灯するランプがある。そのような負荷（ランプ）が PWM 制御により同時にオンオフすると、单一のランプを駆動する場合よりも更にノイズの発生量が大きくなり、ラジオ等に不快な雑音を与える可能性がある。また、同時に複数のランプ LP1, LP2 をオンオフ切替することで、回路内の電線に大電流が流れることにより、回路内で発生する電圧降下が大きくなるおそれがある。

【0009】そこで、例えば図 3 のように、複数のランプ LP1, LP2 にそれぞれ直列に接続された電界効果型トランジスタ FET1, FET2 を個別にオンオフ切替えて、これらのランプ LP1, LP2 をオンオフ切

替えするタイミングをずらすことで、ノイズの発生量や電線における電圧降下を緩和することが考えられる（提案例）。

【0010】しかしながら、この場合は、複数の電界効果型トランジスタFET1, FET2の個数分だけのポート数を有するマイクロコンピュータ（図示省略）を準備して、PWM制御のオンのタイミングをずらす必要があったため、このようなポート数に応じてマイクロコンピュータと電界効果型トランジスタFET1, FET2との間の回路を構成することは、回路構成が複雑化し、回路の面積効率が悪くなると共に、費用が高くなるという不利がある。

【0011】そこで、この発明の課題は、最小限のポート数のマイクロコンピュータで、複数の負荷をPWM制御する場合に、ノイズエミッションや回路上の電圧降下を抑制し得る負荷駆動回路及びそれに関連する技術を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決すべく、請求項1に記載の発明は、複数の負荷をPWM駆動する負荷駆動回路であって、前記各負荷をそれぞれ高速にオンオフ切替えてPWM駆動する複数の駆動スイッチ回路と、前記駆動スイッチ回路によるPWM駆動のオンオフタイミングを規定するPWM制御信号を单一のPWM制御信号出力ポートから出力する单一の制御部と、少なくとも、複数の前記駆動スイッチ回路うちのひとつを除く駆動スイッチ回路と前記制御部との間に介在されて、前記PWM制御信号を遅延させる遅延回路とを備え、前記遅延回路が、前記各駆動スイッチ回路に与えられるそれぞれのPWM制御信号のオン期間が互いに重複しないように前記PWM制御信号を遅延せるものである。

【0013】請求項2に記載の発明は、請求項1に記載の負荷駆動回路であって、前記遅延回路が、当該遅延回路で遅延された後のPWM制御信号の立ち上がりタイミング及び立ち下がりタイミングと、当該遅延回路で遅延されないPWM制御信号の立ち上がりタイミング及び立ち下がりタイミングとの間に、当該遅延回路の温度変化に伴う遅延のバラツキを考慮して設定された所定のマージン期間がそれぞれ設定されたものである。

【0014】請求項3に記載の発明は、複数の負荷をPWM駆動する負荷駆動方法であって、所定の制御部の单一のPWM制御信号出力ポートからPWM制御信号を出力する第1の工程と、前記制御部からの前記PWM制御信号を遅延させる第2の工程と、前記第2の工程で遅延させる前の前記PWM制御信号に基づいて一の負荷をPWM駆動する第3の工程と、前記第3の工程に併行して、前記第2の工程で遅延させた後の前記PWM制御信号に基づいて他の負荷をPWM駆動する第4の工程とを備え、前記第2の工程において、遅延させる前の前記PWM制御信号と遅延させた後の前記PWM制御信号のそ

れぞれのオン期間が互いに重複しないように前記PWM制御信号を遅延させる。

【0015】請求項4に記載の発明は、請求項3に記載の負荷駆動方法であって、前記第2の工程において、遅延された後の前記PWM制御信号の立ち上がりタイミング及び立ち下がりタイミングと、遅延される前の前記PWM制御信号の立ち上がりタイミング及び立ち下がりタイミングとの間に、所定のマージン期間がそれぞれ設定される。

【0016】

【発明の実施の形態】図1はこの発明の一の実施の形態に係る負荷駆動回路を示す回路図である。この負荷駆動回路は、図1の如く、例えば定格12V（耐電圧16V）の一対のランプLP1, LP2について、42V電源10からの電源電圧を用いて一対の駆動スイッチ回路1, 2によりそれぞれPWM駆動する場合に、共通のマイクロコンピュータ（制御部：以下、単に「マイコン」と略称する）3から両駆動スイッチ回路1, 2に高周波数のパルス波形のPWM制御信号ps1, ps2を与えてPWM制御するようになっており、特に、一方の駆動スイッチ回路（第1の駆動スイッチ回路）1に与えるPWM制御信号（第1のPWM制御信号）ps1に対して、他方の駆動スイッチ回路（第2の駆動スイッチ回路）2に与えるPWM制御信号（第2のPWM制御信号）ps2を遅延回路5によって遅延することで、両駆動スイッチ回路1, 2に入力される両PWM制御信号ps1, ps2同士の間に位相差を生じさせている。

【0017】具体的に、この負荷駆動回路は、各ランプLP1, LP2をそれぞれPWM駆動するための一対の駆動スイッチ回路1, 2と、この両駆動スイッチ回路1, 2を併せて制御するマイコン3と、第2の駆動スイッチ回路2とマイコン3との間に介在接続されて第2のPWM制御信号ps2を遅延させる遅延回路5と、マイコン3の制御により各駆動スイッチ回路1, 2への各PWM制御信号ps1, ps2の入力の可否を切り替える一对のゲート回路7, 8とを備える。

【0018】両駆動スイッチ回路1, 2は互いに同一の構成となっている。具体的に、各駆動スイッチ回路1, 2は、42V電源10からの駆動電流を高速にオンオフ切替する電界効果型トランジスタ11a, 11bと、PWM制御信号ps1, ps2に従って電界効果型トランジスタ11a, 11bのゲートの高速オンオフ切替えを行うバイポーラトランジスタ等の高速スイッチ12a, 12bとを備える。尚、各駆動スイッチ回路1, 2内の符号13a, 13b, 14a, 14bは、高速スイッチ12a, 12bがオンのときに電界効果型トランジスタ11a, 11bのゲート電圧を確保するための分圧抵抗、符号15a, 15b, 16a, 16bはPWM制御信号ps1, ps2が与えられたときに高速スイッチ12a, 12bのベース電圧を確保するための分圧抵抗を

それぞれ示している。

【0019】マイコン3は、ROM、RAM及びCPUが内蔵されており、ROM内に予め格納されたソフトウェアプログラムに従って動作する機能要素である。このマイコン3は、各駆動スイッチ回路1、2をPWM制御するためのPWM制御信号p s 0を出力するPWM制御信号出力ポートT 1と、両ゲート回路7、8をオンオフ切替するオンオフポートT 2とを備えている。

【0020】遅延回路5は、抵抗RとコンデンサCが直列に接続されたRC直列回路であって、マイコン3から抵抗RにPWM制御信号p s 0が与えられたときに、コンデンサCにおける充放電により信号の遅延を行い、この遅延された信号を第2のPWM制御信号p s 2としてコンデンサCと抵抗Rとの接続点から第2のゲート回路8に出力する。この遅延回路(RC直列回路)5の時定数は、コンデンサCでの充放電によるパルスの遅延 Δt により、第2のPWM制御信号p s 2のオン期間t onが、図2のように、第1のPWM制御信号p s 1の1周期t s中のオフ期間t offに内包されるように設定される。尚、一般にコンデンサCは、種類にもよるが、周囲温度によって容量成分が変化し、個体によっては、その容量が80%前後も変化するものがあるが、コンデンサCの容量が温度によって大きなばらつきを生じても、第1のPWM制御信号p s 1と第2のPWM制御信号p s 2の2つの波形のオン時間が重ならないようにする必要があるため、第1のPWM制御信号p s 1の立ち下がりタイミングと第2のPWM制御信号p s 2の立ち上がりタイミングとの間、及び第1のPWM制御信号p s 1の立ち上がりタイミングと第2のPWM制御信号p s 2の立ち下がりタイミングとの間には、それぞれ、遅延回路5の温度変化に伴う遅延 Δt のバラツキを考慮して設定された所定のマージン期間 $\delta 1$ 、 $\delta 2$ を設定する。

【0021】各ゲート回路7、8はそれぞれ論理積回路が使用されている。第1のゲート回路7の一方の入力端子は、抵抗21を介してマイコン3のPWM制御信号出力ポートT 1に接続され、同じく他方の入力端子は、抵抗22を介してマイコン3のオンオフポートT 2に接続され、同じく出力端子は第1の駆動スイッチ回路1の分圧抵抗15aを介して高速スイッチ12aのゲートに接続されている。第2のゲート回路8の一方の入力端子は、遅延回路5の抵抗Rを介してマイコン3のPWM制御信号出力ポートT 1に接続され、同じく他方の入力端子は、抵抗23を介してマイコン3のオンオフポートT 2に接続され、同じく出力端子は第2の駆動スイッチ回路2の分圧抵抗15bを介して高速スイッチ12bのゲートに接続されている。

【0022】上記構成の負荷駆動回路の動作を説明する。まず、ランプLP1、LP2の駆動を行う場合は、マイコン3のオンオフポートT 2から抵抗22、23を介して両ゲート回路(論理積回路)7、8の他方の入力

端子にハイ信号を出力し、両ゲート回路(論理積回路)

7、8をアクティブに切り替える。

【0023】次に、マイコン3は、PWM制御信号出力ポートT 1から高速パルスであるPWM制御信号p s 0を出力する。このPWM制御信号p s 0は、抵抗21を介して第1のゲート回路7の一方の入力端子に第1のPWM制御信号p s 1(図2(a))として入力されるとともに、遅延回路5のコンデンサCでの充放電により遅延されて、第2のゲート回路8の一方の入力端子に第2のPWM制御信号p s 2(図2(b))として入力される。

【0024】各ゲート回路7、8は、各PWM制御信号p s 1、p s 2のハイ状態のタイミングでハイ信号を各駆動スイッチ回路1、2に出力する。

【0025】各駆動スイッチ回路1、2では、このゲート回路7、8からのハイ信号のタイミングで高速スイッチ12a、12bがオンになり、同タイミングで電界効果型トランジスタ11a、11bがオンになって、各ランプLP1、LP2が高速でオンオフされる。これにより、所定のデューティー比で両ランプLP1、LP2がPWM駆動する。

【0026】ここで、第1のランプLP1をPWM駆動するための第1のPWM制御信号p s 1に対して、第2のランプLP2をPWM駆動するための第2のPWM制御信号p s 2が遅延しており、両PWM制御信号p s 1、p s 2においてオン期間が重なることがないようになっているので、42V電源10からの駆動電流が両ランプLP1、LP2に同時に供給されることはない。

【0027】したがって、複数のランプLP1、LP2のPWM制御を併行する場合においても、両ランプLP1、LP2がそのPWM制御により同時にオン切替えすることがなく、単一のランプを駆動する場合と同程度のノイズの発生量に抑制することができる。したがって、ラジオ等への不快な雑音等の悪影響を未然に防止できる。また、同時に複数のランプLP1、LP2をオン動作させることができないので、42V電源10から大電流が流れ出るのを防止でき、回路内で発生する電圧降下を抑制できる。

【0028】そして、両駆動スイッチ回路1、2を、共通のマイコン3で制御する場合に、このマイコン3のPWM制御信号出力ポートT 1からPWM制御信号p s 0を出力し、一方の駆動スイッチ回路(第1の駆動スイッチ回路)1にはそのままの位相で第1のPWM制御信号p s 1として与えるとともに、他方の駆動スイッチ回路(第2の駆動スイッチ回路)2には遅延回路5で位相差を生じせしめてから第2のPWM制御信号p s 2として与えているので、両駆動スイッチ回路1、2に対しては単一のPWM制御信号出力ポートT 1からPWM制御信号p s 0を出力するだけでよい。したがって、マイコン3においては、最小限のポート数で、複数のランプLP

1, LP2の同時オンによるノイズエミッションを防止しながらPWM駆動することが可能である。

【0029】尚、上記実施の形態では、負荷としてランプLP1, LP2を例に挙げて説明したが、負荷として併行してPWM制御する必要があるものであれば、どのような負荷を適用しても差し支えない。

【0030】また、上記実施の形態では、2個の負荷(ランプLP1, LP2)のみをPWM制御する例を説明したが、3個以上の負荷をPWM制御する場合にも適用できる。この場合、マイコン3において单一のPWM制御信号出力ポートT1からPWM制御信号ps0を出力した後、互いの時定数の異なる複数の遅延回路を用いて、全ての負荷のオン期間が互いに重ならないようすればよい。

【0031】

【発明の効果】請求項1及び請求項3に記載の発明によれば、複数の負荷をそれぞれPWM駆動する際に、制御部の单一のPWM制御信号出力ポートからPWM制御信号を出力し、この制御部からのPWM制御信号に基づいて一の負荷をPWM駆動するとともに、このPWM制御信号を遅延させて他の負荷をPWM駆動し、この際に、遅延させる前のPWM制御信号と遅延させた後のPWM制御信号のそれぞれのオン期間が互いに重複しないようにしているので、複数の負荷が同時にオン動作するのを防止できる。したがって、常に单一の負荷を駆動する場合と同程度のノイズの発生量に抑制することができ、ラジオ等の他の装置への不快な雑音等の悪影響を未然に防止できる。また、同時に複数の負荷がオン動作することがないので、電源から大電流が流れる出るのを防止でき、回路内で発生する電圧降下を抑制できる。

【0032】特に、制御部の单一のPWM制御信号出力ポートからPWM制御信号を出力するだけでよいので、制御部においては最小限のポート数で、複数の負荷の同

時オンによるノイズエミッションを防止しながらPWM駆動することが可能である。

【0033】請求項2及び請求項4に記載の発明によれば、遅延された後のPWM制御信号の立ち上がりタイミング及び立ち下がりタイミングと、遅延される前のPWM制御信号の立ち上がりタイミング及び立ち下がりタイミングとの間に、所定のマージン期間がそれぞれ設定されるので、温度変化等の環境変化により遅延時間にバラツキが生じても、複数の負荷が同時にオン動作することを確実に防止できる。

【図面の簡単な説明】

【図1】この発明の一の実施の形態に係る負荷駆動回路を示す回路図である。

【図2】遅延しないで第1の駆動スイッチ回路に与えられる第1のPWM制御信号と、遅延後に第2の駆動スイッチ回路に与えられる第2のPWM制御信号との時系列的な関係を示す波形図である。

【図3】提案例の負荷駆動回路を示すブロック図である。

【符号の説明】

1, 2 駆動スイッチ回路

10 42V電源

3 マイコン

5 遅延回路

7, 8 ゲート回路

R 抵抗

C コンデンサ

LP1, LP2 ランプ(負荷)

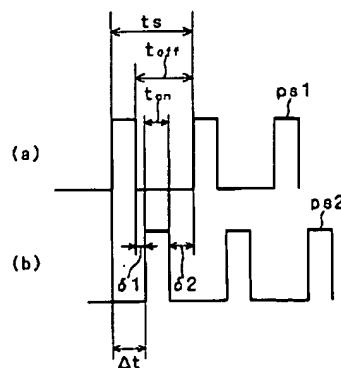
T1 PWM制御信号出力ポート

ps0 PWM制御信号

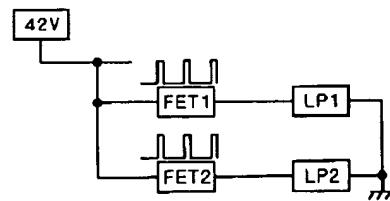
ps1 第1のPWM制御信号

ps2 第2のPWM制御信号

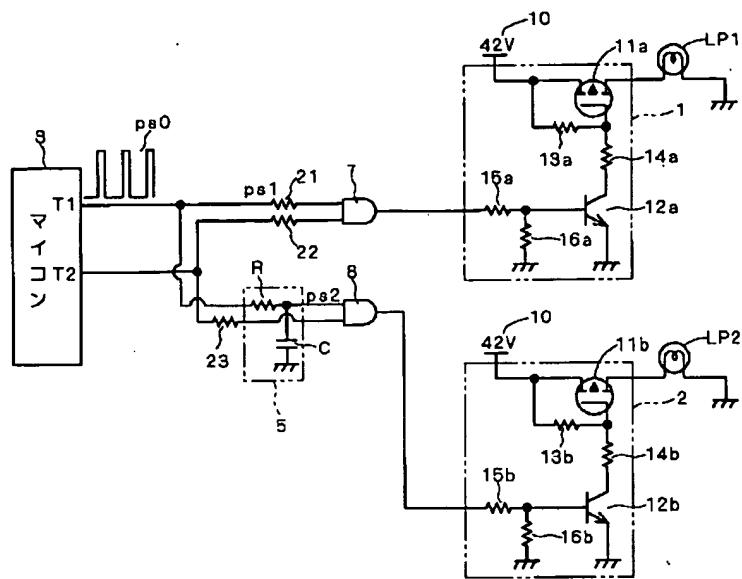
【図2】



【図3】



【图1】



フロントページの続き

(72) 発明者 水野 史章

愛知県名古屋市南区菊住1丁目7番10号
株式会社オートネットワーク技術研究所内

F ターム(参考) 5H730 AA16 AS11 BB11 BB57 BB82

BB89 DD04 FF09 FG05